

(19)



JAPANESE PATENT OFFICE

E4051

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06120802 A**(43) Date of publication of application: **28.04.94**

(51) Int. Cl.

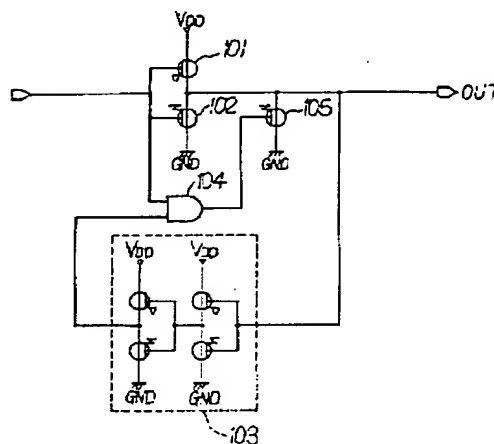
H03K 19/0175**H03K 17/04****H03K 17/16****H03K 19/003**(21) Application number: **04264723**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(22) Date of filing: **02.10.92**(72) Inventor: **KUSANO TAKAO****(54) OUTPUT BUFFER CIRCUIT**

(57) Abstract:

PURPOSE: To provide an output buffer circuit which can be easily designed and has high working speed and a low noise level.

CONSTITUTION: A level sense circuit 103 detects that an output terminal OUT is set at a low level in a switching period when the terminal OUT is changed to a low level from a high level. Thus an AND gate 104 outputs a low level and an n-channel MOSFET 105 becomes non-conductive. Then the effective transistor size of a MOSFET which drives the terminal OUT is reduced and therefore the current flowing to a GND supply wiring is reduced. Thus the noises produced in the GND wiring can be suppressed without deteriorating the high speed performance of a buffer and despite the reduction of the switching speed when the terminal OUT is set at a level close to the GND potential.

COPYRIGHT: (C)1994,JPO&Japio



THIS PAGE BLANK (USPTO)

E4051

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-120802

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
17/04	E	9184-5 J		
17/16	H	9184-5 J		
19/003	Z	8941-5 J		
		8941-5 J		
			H 0 3 K 19/ 00	1 0 1 F
			審査請求	未請求 請求項の数 2(全 7 頁)

(21)出願番号 特願平4-264723

(22)出願日 平成4年(1992)10月2日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 草野 隆夫

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

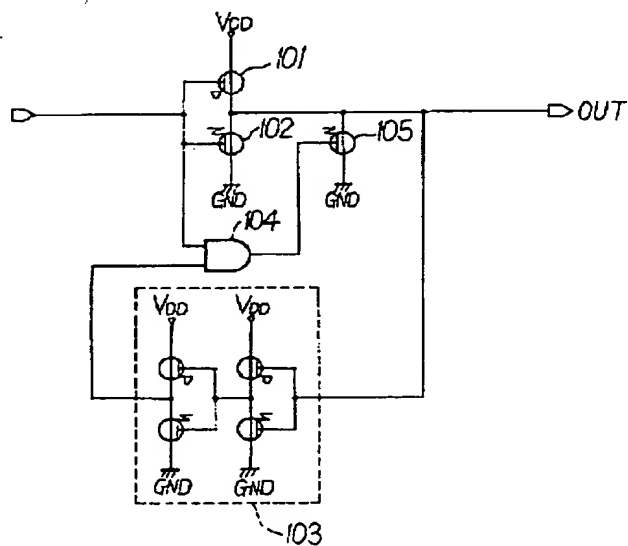
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 出力バッファ回路

(57)【要約】 (修正有)

【目的】 設計が容易であり、かつ、高速で低ノイズの出力バッファ回路を提供する。

【構成】 レベルセンス回路103によって、出力端子OUTがハイレベルからロウレベルへ変化するスイッチング期間中にロウレベルになったことを検出すると、ANDゲート104はローレベルを出力し、nチャンネルMOSFET105は非導通になる。出力端子OUTを駆動するMOSFETの有効トランジスタサイズを縮小し、GND供給配線に流れ込む電流を低減する。このようにして、出力端子がGND電位に近くなると、スイッチング速度は落ちるがバッファとしての高速性は失われず、GND供給配線のノイズの発生は抑えられる。



【特許請求の範囲】

【請求項1】 出力端子の電位レベルを検出する回路と、前記検出結果で出力端子を駆動するMOSFETの有効トランジスタサイズを変更する回路とを有することを特徴とする出力バッファ回路。

【請求項2】 出力信号と出力端子との間に設けられる出力バッファ回路であって、前記出力端子がハイレベルからロウレベルへ変化するスイッチング期間中に前記出力端子が所定のロウレベルになったことを検出し、前記検出結果により前記出力端子を駆動するMOSFETの有効トランジスタサイズを縮小することを特徴とする出力バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、出力バッファ回路に関し、特にMOSFETによって構成される集積回路上で用いられる高速で低ノイズな出力バッファ回路に関する。

【0002】

【従来の技術】高速の出力バッファ回路とは、仕様上で決められているハイレベル電位（以下「V_{OH}」という。）とロウレベル電位（以下「V_{OL}」という。）の間の変化時間が短い出力バッファ回路であり、トランジスタサイズの大きなMOSFETで実現される。ところがこの高速の出力バッファ回路は、自分自身のスイッチングにより、集積回路上の電源およびGND供給配線に過大な電流を流し込む結果、電源およびGND供給配線の電位レベルの浮き上がりやインダクタンス成分による電源およびGNDバウンス（以下「ノイズ」という）などを産み出す。一方、トランジスタサイズの小さなMOSFETの場合には、ノイズは小さいもののスイッチング時間が長くなるという欠点がある。このため、高速で低ノイズな出力バッファが種々提案されている。

【0003】従来の高速で低ノイズな出力バッファ回路の構成を図7に示し、かつ、そのタイミングチャートを図8に示した。図7に示す出力バッファ回路は、出力データ信号DTをゲート入力とし電源VDDと出力端子OUTとの間に直列に接続されたpチャンネルMOSFET 301、同じく出力データ信号DTをゲート入力とし出力端子OUTとGND間に直列に接続されたnチャンネルMOSFET 302、出力データ信号DTを入力とする遅延回路304、遅延回路304の出力を入力とするインバータ306、出力データ信号DTとインバータ306を入力とするANDゲート303およびANDゲート303の出力をゲート入力としGNDと出力端子OUT間に直列に接続されたnチャンネルMOSFET 305とで構成される。ここで、nチャンネルMOSFET 302、305のトランジスタサイズはどのような比率でもかまわないが、説明の簡略化のため全く同じサイズとする。

【0004】まず、出力データ信号DTがロウレベルで出力端子OUTがハイレベルの場合を考える。この状態ではpチャンネルMOSFET 301が導通し、またANDゲート303はロウレベルを出力しているため、nチャンネルMOSFET 302、305は非導通である。また、遅延回路304の出力はロウレベル、インバータ306はロウレベルを出力している。次に、出力データ信号DTがハイレベルになると、pチャンネルMOSFET 301が非導通となる。すると、nチャンネルMOSFET 302、305は導通し、この結果出力端子OUTの電位レベルはハイレベルからロウレベルに変化し始める。

【0005】ここで、出力データ信号DTがハイレベルに変化してからT（ns）後に、出力端子OUTの電位レベルがV_{OL}に到達するとする。また、出力データ信号DTを入力とする遅延回路304は、T（ns）後にANDゲート303がロウレベルを出力するように遅延時間が設計してあるとする。

【0006】よって出力データ信号DTが変化してからT（ns）後に出力端子OUTの電位レベルがV_{OL}に到達し、また同時にANDゲート303はロウレベルを出力するため、nチャンネルMOSFET 305は非導通となる。この結果、出力端子OUTを駆動するnチャンネルMOSFETの有効トランジスタサイズは半分には縮小され、GND供給配線に流れ込む電流が急速に減少する。このため、T（ns）以降のスイッチング速度は急速に低下するが、図8から分るように仕様上のスイッチング規格は満足しているため、出力バッファの高速性に対して問題はない。また、GND供給配線のノイズの発生が小さく抑えられる。

【0007】

【発明が解決しようとする課題】ところで、上記従来の高速で低ノイズの出力バッファ回路では、まず出力データ信号から出力端子までの伝搬遅延時間を設計し、これに合わせて遅延回路の遅延時間の設計を行うという2段階の遅延設計の他、それら整合設計が必要となる。しかしながら、集積回路の製造条件（拡散パラメータ）や動作保証温度範囲、動作保障電源電圧範囲等を考慮すると、出力端子の伝搬遅延時間と遅延回路の遅延時間は共に変動幅が大きく、このため両者の整合を取る設計は困難であるという問題があった。

【0008】また、この出力バッファ回路においては、これを例えば集積回路の外部端子の駆動回路として使用する場合には、接続される装置によって出力端子の負荷が変動し、更に負荷の変動によってもスイッチング時間は変動するから、設計パラメータが増えてさらに困難な設計が要求されるという問題があった。

【0009】本発明の課題は、設計が容易であり、高速で低ノイズの出力バッファ回路を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば、出力端子の電位レベルを検出する回路と、前記検出結果で出力端子を駆動するMOSFETの有効トランジスタサイズを変更する回路とを有することを特徴とする出力バッファ回路が得られる。

【0011】また本発明によれば、出力信号と出力端子との間に設けられる出力バッファ回路であって、前記出力端子がハイレベルからロウレベルへ変化するスイッチング期間中に前記出力端子が所定のロウレベルになったことを検出し、前記検出結果により前記出力端子を駆動するMOSFETの有効トランジスタサイズを縮小することを特徴とする出力バッファ回路が得られる。

【0012】

【実施例】次に本発明の実施例を説明する。図1は本発明の第1の実施例を示している。また、図2は図1に示す第1の実施例の出力端子OUTの電位レベルの時間変化を示している。図3(A)、(B)は図1に示す第1の実施例のレベルセンス回路103の入出力電圧特性を各々示している。図1に示すように、本発明の第1の実施例としての出力バッファ回路は、出力データ信号DTをゲート入力とし電源VDDと出力端子OUTとの間に直列に接続されたpチャンネルMOSFET101、同じく出力データ信号DTをゲート入力とし出力端子OUTとGND間に直列に接続されたnチャンネルMOSFET102、出力端子OUTを入力とするレベルセンス回路103、レベルセンス回路103の出力と出力データ信号DTを入力とするANDゲート104およびANDゲート104の出力をゲート入力としGNDと出力端子OUTとの間に直列に接続されたnチャンネルMOSFET105から構成される。レベルセンス回路103は、pチャンネルMOSFETとnチャンネルMOSFETとを直列接続したものを2段接続して構成される。尚、nチャンネルMOSFET102、105のトランジスタサイズはどのような比率でもかまわないが、説明の簡略のため全く同じサイズとする。

【0013】まず、出力データ信号DTがロウレベルで出力端子OUTがハイレベルの場合を考える。この状態ではpチャンネルMOSFET101が導通し、nチャンネルMOSFET102は非導通であり、またANDゲート104はロウレベルを出力しているため、nチャンネルMOSFET105も非導通である。更に、出力端子OUTの電位レベルがハイレベルであるため、レベルセンス回路103はハイレベルを出力している。次に、出力データ信号DTがハイレベルになると、pチャンネルMOSFET101が非導通となり、nチャンネルMOSFET102、105は導通する。この結果、出力端子OUTの電位レベルはハイレベルからロウレベルに向け変化し始める。

【0014】出力端子OUTの電位レベルがVOLに到達すると、レベルセンス回路103の出力電圧は図3に示

すようにロウレベルに変化する。この時、ANDゲート104はロウレベルを出力するので、nチャンネルMOSFET105は非導通となる。この結果、出力端子OUTを駆動するnチャンネルMOSFETの有効トランジスタサイズは半分に縮小され、GND供給配線に流れ込む電流が急速に減少する。このため、出力端子OUTの電位レベルがVOLを下回るとスイッチング速度は急速に低下するが、図2でわかるように仕様上のスイッチング規格は満足しており出力バッファの高速性に対して問題はない。また、GND供給配線のノイズの発生は小さく抑えられる。

【0015】次に、出力データ信号DTがロウレベルになると、pチャンネルMOSFET101は導通し、nチャンネルMOSFET102は非導通となる。また、nチャンネルMOSFET105は非導通のままである。この結果、出力端子OUTの電位レベルはロウレベルからハイレベルに向け変化し始める。出力端子OUTの電位レベルがVOLを越えるとレベルセンス回路103の出力は図3に示すようにハイレベルに変化するが、出力データ信号DTがロウレベルであるためANDゲート104の出力はロウレベルのままで変化はない。このため、スイッチングの速度は変わらず出力端子OUTはハイレベルまで変化する。

【0016】図4は本発明の第2の実施例としての出力バッファ回路を示している。この第2の実施例は、本発明の出力バッファ回路をトライステートバッファに適用した例である。また、第2の実施例における出力端子の電位レベルの時間変化を図5に示し、かつ、第2の実施例におけるレベルセンス回路204、206の入出力電圧特性を図6(A)、(B)に各々示した。レベルセンス回路204、206はそれぞれ、pチャンネルMOSFETとnチャンネルMOSFETとを直列接続したものを2段接続して構成される。

【0017】図4に示すように、出力バッファ回路は、出力イネーブル信号ENと出力データ信号DTを入力とするNANDゲート201、NANDゲート201の出力をゲート入力とし電源と出力端子OUT間に直列に接続されたpチャンネルMOSFET210、出力イネーブル信号ENを入力とするインバータ203、出力データ信号DTとインバータ203を入力とするNORゲート202、NORゲート202の出力をゲート入力とし出力端子OUTとGND間に直列に接続されたnチャンネルMOSFET211、出力端子OUTを入力とする第1のレベルセンス回路204、レベルセンス回路204の出力とNANDゲート201の出力を入力とするORゲート205、ORゲート205の出力をゲート入力とし電源VDDと出力端子OUTとの間に直列に接続されたpチャンネルMOSFET212、出力端子OUTを入力とする第2のレベルセンス回路206、レベルセンス回路206の出力とNORゲート202の出力を入力

とするANDゲート207およびANDゲート207の出力をゲート入力とし出力端子OUTとGND間に直列に接続されたnチャンネルMOSFET213とで構成される。ここで、pチャンネルMOSFET210、212のトランジスタサイズはどのような比率でもかまわないが、説明の簡略のため全く同じサイズとする。また、nチャンネルMOSFET211、213も同様にそのトランジスタサイズは同じとする。

【0018】まず、出力イネーブル信号ENがハイレベル、出力データ信号DTがハイレベルで出力端子OUTがハイレベルの場合を考える。この状態ではNANDゲート201がロウレベル、インバータ203がロウレベル、NORゲート202がロウレベル、NAND20ゲート7がロウレベルをそれぞれ出力する。またpチャンネルMOSFET210が導通し、nチャンネルMOSFET211および213は非導通である。そして出力端子OUTがハイレベルであるためレベルセンス回路204、206はハイレベルであり、OR205はハイレベルを出力しているので、pチャンネルMOSFET212は非導通である。

【0019】次に、出力データ信号DTがロウレベルになると、NANDゲート201はハイレベル、NORゲート202はハイレベル、ANDゲート207はハイレベルに変化する。この結果、nチャンネルMOSFET211、213が導通し、またpチャンネルMOSFET210は非導通となる。この結果、出力端子OUTの電位レベルはハイレベルからロウレベルに向け変化し始める。

【0020】出力端子OUTの電位レベルがV0Hに到達すると、レベルセンス回路204の出力は図6(A)に示すようにロウレベルに変化するが、NANDゲート201の出力がハイレベルであるから、ORゲート205はハイレベルのまま変化がない。出力端子OUTの電位レベルがさらに下降してV0Lに到達すると、レベルセンス回路206の出力は図6(B)に示すようにロウレベルに変化する。これによりNANDゲート207はロウレベルとなり、nチャンネルMOSFET213は非導通になる。

【0021】この結果、出力端子OUTを駆動するnチャンネルMOSFETの有効トランジスタサイズは半分に縮小され、GND供給配線に流れ込む電流が急速に減少する。図5から判るよう出力端子OUTの電位レベルがV0Lを下回るとスイッチング速度は急速に低下するが、仕様上のスイッチング規格は満足しているため、出力バッファの高速性に対して問題はない。また、GND供給配線のノイズの発生は小さく抑えられる。

【0022】次に、出力データ信号DTがハイレベルになると、NANDゲート201はロウレベル、NORゲート202はロウレベル、ORゲート205はロウレベルにそれぞれ変化する。すると、pチャンネルMOSF

ET210、212が導通し、またnチャンネルMOSFET211は非導通となる。この結果、出力端子OUTの電位レベルはロウレベルからハイレベルに向け変化し始める。

【0023】出力端子OUTの電位レベルがV0Lに到達するとレベルセンス回路206の出力は図2(d)に示すようにハイレベルに変化するが、NORゲート202の出力がロウレベルであるため、ANDゲート207はロウレベルのまま変化がない。出力端子OUTの電位レベルがさらに上昇してV0Hに到達すると、レベルセンス回路204の出力は図6(A)に示すようにハイレベルに変化するため、ORゲート205はハイレベルとなり、pチャンネルMOSFET212は非導通になる。この結果、出力端子OUTを駆動するpチャンネルMOSFETの有効トランジスタサイズは半分に縮小され、電源供給配線から流れ込む電流が急速に減少する。図5でわかるよう出力端子OUTの電位レベルがV0Hを下回るとスイッチング速度は急速に低下するが、仕様上のスイッチング規格は満足しており出力バッファの高速性に対して問題はない。また、電源供給配線のノイズの発生は小さく抑えられる。

【0024】次に、出力イネーブル信号ENがロウレベルになると、NANDゲート201はハイレベル、インバータ203はハイレベルに変化し、pチャンネルMOSFET210は非導通となる。その他のゲートは変化しない。この結果、出力端子OUTに接続された4個のMOSFET210~213は全て高抵抗状態となり、出力端子OUTは本回路以外の出力バッファ等により駆動可能である。この高抵抗期間を図5においてTで示した。また次に、出力データ端子DTがロウレベルになっても、ゲートは全く変化しない。

【0025】次に、出力イネーブル信号ENがハイレベルになると、インバータ203はロウレベルに、NORゲート202はハイレベルに変化する。この結果、nチャンネルMOSFET211が導通する。そしてこの場合には、出力端子OUTの電位レベルによって回路の動作は異なる。即ち、出力端子OUTの電位レベルがハイレベルの場合、レベルセンス回路204、206の出力はハイレベルのままなので、ANDゲート207はハイレベルに変化し、nチャンネルMOSFET213が導通する。この結果、出力端子OUTの電位レベルはロウレベルに向け変化し始める。そして出力端子OUTの電位レベルがV0Hに到達すると、レベルセンス回路204の出力は図6(A)に示すようにロウレベルに変化するが、NANDゲート201の出力がハイレベルであるため、ORゲート205はハイレベルのまま変化がない。

【0026】出力端子OUTの電位レベルがさらに下降してV0Lに到達すると、レベルセンス回路206の出力は図6(B)に示すようにロウレベルに変化する。よって、ANDゲート207はロウレベルとなり、nチャン

ネルMOSFET213は非導通になる。この結果、出力端子OUTを駆動するnチャンネルMOSFETの有効トランジスタサイズは半分に縮小され、GND供給配線に流れ込む電流が急速に減少する。図5で判るように、出力端子OUTの電位レベルがVOLを下回るとスイッチング速度は急速に低下するが、仕様上のスイッチング規格は満足しており、出力バッファの高速性に対して問題はない。また、GNDラインのノイズの発生は小さく抑えられる。

【0027】また出力端子OUTの電位レベルがロウレベルの場合には、レベルセンス回路204、206の出力がロウレベルになっているため、ANDゲート207もロウレベルを出力している。即ちこの場合、nチャンネルMOSFET211だけが導通してロウレベルが保たれる。

【0028】次に、出力イネーブル信号ENがロウレベルになると、インバータ203はハイレベル、NORゲート202はロウレベルに変化し、nチャンネルMOSFET211は非導通となる。その他のゲートは変化しない。この結果、出力端子OUTに接続された4個のMOSFET210~213は全て高抵抗状態となり、出力端子OUTは本回路以外の出力バッファ等により駆動可能である。

【0029】次いで出力データ端子DTがハイレベルになる。しかし、ゲートは全く変化しない。

【0030】次に、出力イネーブル信号ENがハイレベルになると、NANDゲート201はロウレベルに、インバータ203はハイレベルにそれぞれ変化する。この結果、pチャンネルMOSFET210が導通する。そしてこの場合も、上記と同様に、出力端子OUTの電位レベルによって回路の動作は異なる。

【0031】即ち、出力端子OUTの電位レベルがロウレベルの場合、レベルセンス回路204、206の出力はロウレベルのままなので、ORゲート205はロウレベルに変化し、pチャンネルMOSFET212が導通する。このため、出力端子OUTの電位レベルはハイレベルに向け変化し始める。出力端子OUTの電位レベルがVOLに到達するとレベルセンス回路206の出力は図6(B)に示すようにハイレベルに変化するが、NORゲート202の出力がロウレベルであるため、ANDゲート207はロウレベルのまま変化がない。

【0032】出力端子OUTの電位レベルがさらに上昇しVOHに到達すると、レベルセンス回路204の出力は図6(A)に示すようにハイレベルに変化するため、ORゲート205はハイレベルとなり、pチャンネルMO

SFET212は非導通になる。この結果、出力端子OUTを駆動するpチャンネルMOSFETの有効トランジスタサイズは半分に縮小され、電源供給配線から流れ込む電流が急速に減少する。図5で判るように、出力端子OUTの電位レベルがVOHを上回るとスイッチング速度は急速に低下するが、仕様上のスイッチング規格は満足しており、出力バッファの高速性に対して問題はない。また、電源供給配線のノイズの発生は小さく抑えられる。

【0033】一方、出力端子OUTの電位レベルがハイレベルの場合、レベルセンス回路204、206の出力はハイレベルになっているため、ORゲート205もハイレベルを出力している。そしてこの場合には、pチャンネルMOSFET210だけが導通しハイレベルが保たれる。

【0034】

【発明の効果】本発明の出力バッファ回路は、設計が容易であり、かつ、高速で低ノイズである。

【図面の簡単な説明】

【図1】本発明の実施例を示す回路図である。

【図2】図1の実施例の出力端子における電位レベルの時間変化を説明する図である。

【図3】図1の実施例のレベルセンス回路における入出力電圧特性を説明する図である。

【図4】本発明の他の実施例を示す回路図である。

【図5】図4の実施例の出力端子における電位レベルの時間変化を説明する図である。

【図6】図4の実施例におけるレベルセンス回路の入出力電圧特性を説明する図である。

【図7】従来の出力バッファ回路を示す回路図である。

【図8】図7の出力バッファ回路の出力端子における電位レベルの時間変化を説明する図である。

【符号の説明】

101, 210, 212, 301 pチャンネルMOSFET

102, 105, 211, 213, 302, 305 nチャンネルMOSFET

103, 204, 206 レベルセンス回路

104, 207, 303 ANDゲート

201 NANDゲート

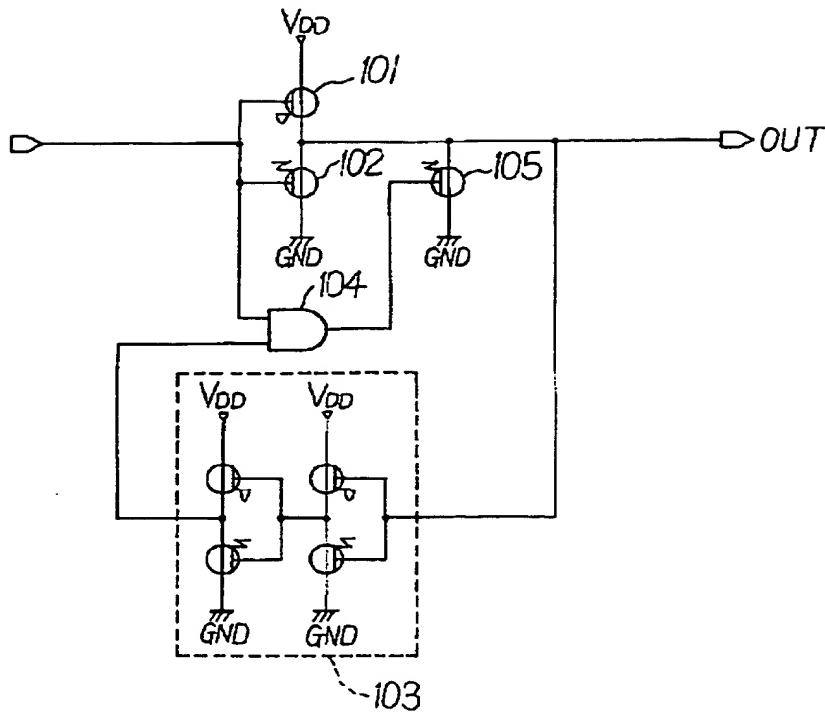
202 NORゲート

203, 306 インバータ

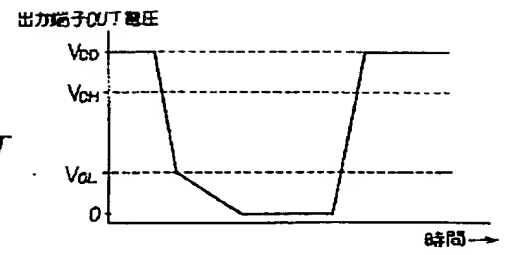
205 ORゲート

304 遅延回路

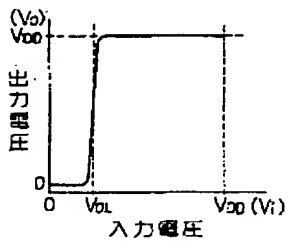
【図 1】



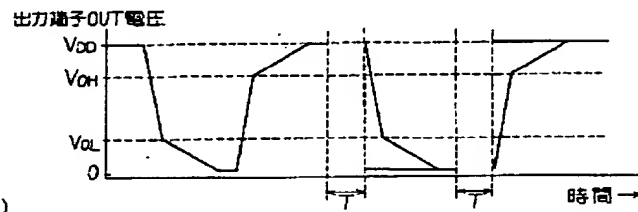
【図 2】



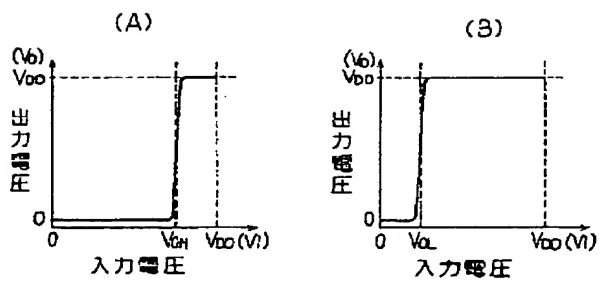
【図 3】



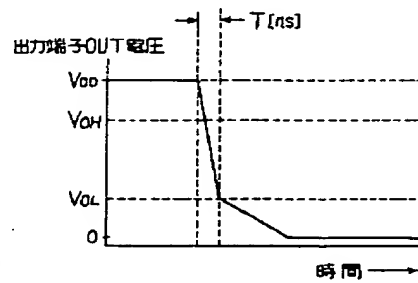
【図 5】



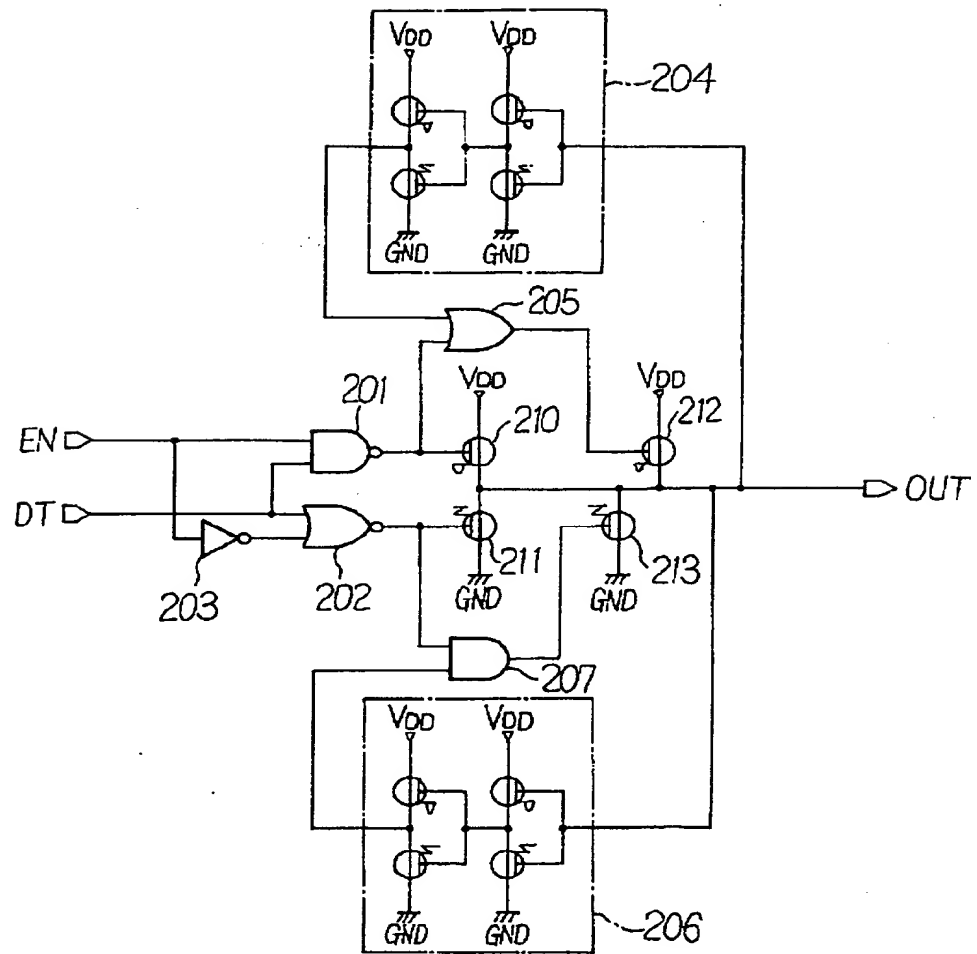
【図 6】



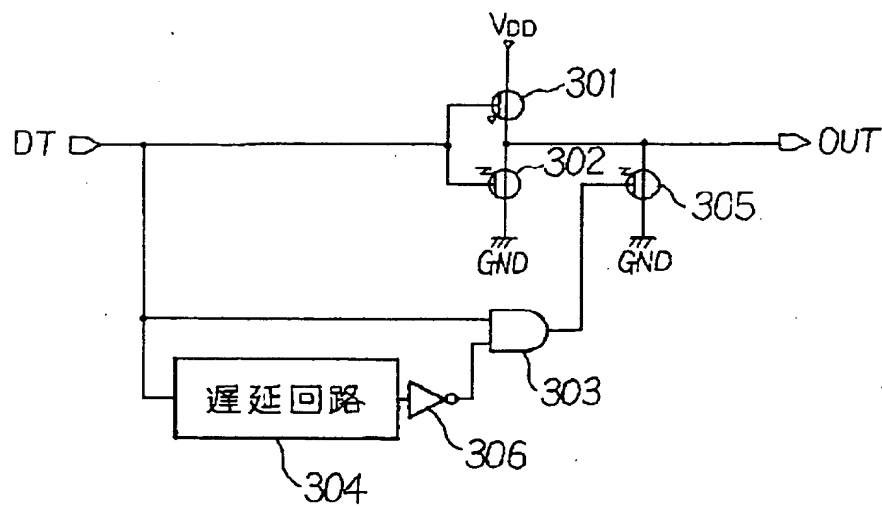
【図 8】



【図4】



【図7】



THIS PAGE BLANK (USPTO)